

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-164365

(43)Date of publication of application : 08.10.1982

(51)Int.Cl.

G06F 15/20

G09G 1/06

(21)Application number : 56-048592

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.03.1981

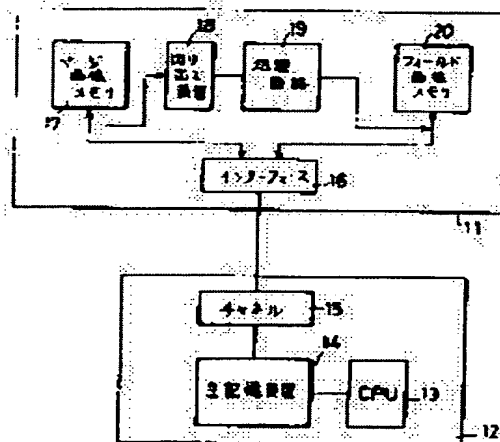
(72)Inventor : IKUTA YUKICHI
ENDO SHUICHI
KATO GENICHI
HATSUZAKI JUNJI

(54) PICTURE PROCESSING DEVICE

(57)Abstract:

PURPOSE: To achieve a plurality of processings for picture data, by storing a picture data for one picture's share transferred from a CPU to one memory, and transferring it to the CPU, etc. after storing it to other memory with processing designated by the CPU, etc.

CONSTITUTION: When the processing of picture data is required at a CPU13, the picture data and processing instruction in a main storage device 14 are inputted to an I/O interface 16 of a picture processor 11. The inputted picture data is stored in a page picture memory. The processing instruction is discriminated with an I/O interface 16, which informs the size of cut-out processing to a cut-out device 18 and the types of processings such as magnification, shrinking and white/black inversion to a processing circuit 19, and the data stored in a page memory 17 is processed for instructions and stored in a field memory 20. The processing is finished, the picture data stored in the field memory 20 is given to the CPU via the I/O interface 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-164365

⑬ Int. Cl.³
G 06 F 15/20
G 09 G 1/06

識別記号
1 0 3

庁内整理番号
7157-5B
7923-5C

⑭ 公開 昭和57年(1982)10月8日

発明の数 1
審査請求 未請求

(全 9 頁)

⑮ 画像処理装置

⑯ 特 願 昭56-48592

⑰ 出 願 昭56(1981)3月31日

⑱ 発 明 者 生田祐吉
川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 遠藤秀一
川崎市中原区上小田中1015番地
富士通株式会社内

⑳ 発 明 者 加藤源一
川崎市中原区上小田中1015番地
富士通株式会社内

㉑ 発 明 者 初崎純士
川崎市中原区上小田中1015番地
富士通株式会社内

㉒ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

画像処理装置

2. 特許請求の範囲

メモリに格納されている画像データを切り出し、回転等を行なう画像処理回路において、少なくとも二画像分の領域を有するメモリと該メモリのうち少なくとも一画像分のメモリにCPU等から転送される一画像分の画像データを格納する手段と、該三画像分のメモリの少なくとも一方のメモリの内容をCPU等に転送する手段と、該二画像分のメモリの一方に格納されている一画面分の、画像データの少なくとも一部を切り出す手段と、該切り出した画像データをCPU等から指定された回転、拡大、縮小、白黒反転の少なくとも1つの処理をして、他方のメモリに格納する手段よりなり、CPU等から転送されたデータを一方のメモリに格納し、CPU等から指定された処理を行なって、他方のメモリに格納したあと、CPU等に転送することとを特徴とした画像処理回路。

(1)

3. 発明の詳細な説明

本発明は、画像データの一部あるいは、全てを回転、白黒反転等の処理を行なう画像処理装置に関する。

画像を計算機等で取り扱う場合には、画像をメッシュ状に細分化し、前記メッシュによって分割された1コマを1画素として、画素単位に白、黒を0あるいは1に対応させて画像を2値画像データに変換している。第1図は、画像データに変換する為、画像1をメッシュ2によって細分化した図である。第2図は、第1図に示す画像1をメッシュ2によって細分化したコマの黒3を1、白4を0で表わした画像データである。

前記第1図の画像データは横一列が8ビットであるので、8ビットを1バイトとして、1バイト単位にアドレスされるメモリに格納する。前記データの横一列は、ちょうどメモリのアドレスに対応する。横一列が8ビットでない場合、たとえばA4版の大きさ(210mm×297mm)を約0.1mm間隔のメッシュで細分化した場合には、横一列

(2)

が2101ビット、縦一列が2971ビットとなり、横一列を8ビットでは表現できない。そこで、計算機内では、画像データを8ビット単位に分割し、前記分割した画像データをアドレス昇順にメモリに格納して画像データとして表わしている。たとえば、第3図(A)に示すように横一列が40ビットで構成される画像データは、先ず、横第一列を5バイトに分割し、左からバイト順にB1～B5を第3図(B)に示すメモリのアドレスA1～A5に続いて、第2列のB6～B10をアドレスA6～A10のメモリに格納し、以上の動作を順次列単位として、一面像分行なって、画像データを8ビット単位で表わしている。

前記メモリに格納されている画像データを取り扱うシステムは、該システムの使いやすさ等から種々の画像処理、たとえば切り出し、回転、拡大、縮小、白黒反転等を必要とする。切り出しとは、第4図に示す様な一面像データ5の一部分6を切り出す処理をいう。回転処理とは、たとえば、第5図に示す文字“A”を表わす画像7を左90°回転

(3)

しなければならずその為に、多くの時間を必要とする欠点を有していた。また、処理する画像データを格納するメモリを複数の処理回路で共有して使用する方式もある。しかしながら、前記処理方式は、処理結果を前記処理する画像が、格納されているメモリに格納する為に、処理した後は前記データが消失してしまい、同一の画像を複数種類処理する時には、必要とする処理の回数分、同一の画像データをメモリに格納しなければならず、また、処理も複雑になってしまう。たとえば第9図(A)に示す“A”～“I”の画像データを右270°回転(左90°回転)させる場合について、前記複雑さを説明する。先ず、ワーク域W0に“A”の画像データを移動する。次に“C”を右270°回転させたデータを“A”が格納されていた領域に格納する。次に“I”を右270°回転させたデータを“C”が格納されていた領域に格納する。同様に“G”を回転処理して、元の“I”の領域に、ワーク域W0に移動した“A”を回転処理して、元のQの領域に移動する。さらに前記と同様に“B”をワーク領域W0

(5)

した画像8を得るような画像データの処理をいい、90°、180°、270°の回転がある。拡大とは、たとえば、第6図に示す様な文字“A”を示す画像9を2倍にした画像10の様にする画像データの処理をいい、拡大は n/m 倍が可能である。ここで n, m は $n > m > 0$ を満足する整数値である。縮小とは、たとえば第7図文字“A”を示す画像K1を $1/2$ にした画像K2のようにする画像データの処理をいい、縮小は I/H が可能である。ここで、 I, H は、 $H > I > 0$ を満足する整数値である。白黒反転とは、第8図に示すような画像データの白黒反転であり、白のデータを黒、黒のデータを白に変換する処理である。

従来、前述のような処理、すなわち、切り出し、回転、拡大、縮小、白黒反転等を行なう場合には、計算機等によって、前記処理を行なう各々の処理装置専用のメモリに画像データを格納していた。この方法は、多くのメモリを必要とする欠点と、同一の画像を複数の処理を行なう場合には、前記処理専用のメモリに複数回、同一画像データを格

(4)

に移動して、順次“F”、“H”、“D”を回転処理後、元の“B”、“F”、“H”の領域に移動し、ワーク領域W0の“B”を回転処理後、元の“D”の領域に格納する。最後に“E”を回転処理後、元の領域に格納し、第9図(B)に示す270°右回転した画像データを得る。かかる回転処理を行なう為には、処理回路が複雑となってしまう。

以上の様に、従来の方法は処理時間が長かったり、回路が複雑になってしまったり等、多くの問題点を有していた。本発明は、これらの問題点を解決し、少なくとも二画面分の領域を有するメモリと該メモリのうち少なくとも一面像分のメモリにCPU等から転送される一面像分の画像データを格納する手段と、該二画面分のメモリの少なくとも一方のメモリの内容をCPU等に転送する手段と、該二画面分のメモリの一方に格納されている一面像分の画像データの少なくとも一部を切り出す手段と、該切り出した画像データをCPU等から指定された回転、拡大、縮小、白黒反転の少なくとも、1つの処理をして他方のメモリに格納する手段よりな

(6)

り、CPU等から転送されたデータを一方のメモリに格納し、CPU等から指定された処理を行なって他方のメモリに格納したあと、CPU等に転送することを特徴とした画像処理回路を提供するものである。

以下、本発明の実施例を用いて、詳細に説明する。第10図は、本発明の一実施例である。本発明の画像処理装置11は、本体装置12と接続されている。本体装置12は、CPU13、主記憶装置14、チャンネル15よりなり、主記憶装置14は、CPUに、接続されるとともに、チャンネル15に接続され、さらにチャンネル15は、本発明の画像処理装置11のI/Oインターフェイス16と接続されている。前記本体装置12は、画像データを取り扱う装置であり、前記接続は、すべて、バスライン(アドレスバス、データバス、コントロールバス等)によって接続される。本発明の画像処理装置11は、I/Oインターフェイス16、ページ画像メモリ17、切り出し装置18、処理回路19、フィールド画像メモリ20より成る。本

(7)

置11のI/Oインターフェイス16に入力される。画像処理装置11のI/Oインターフェイスに入った処理と必要とする画像データは、ページ画像メモリに格納される。処理命令はI/Oインターフェイス16によって判断され、I/Oインターフェイス16は、切り出し処理の切り出す大きさを切り出し装置18に、回転、拡大、縮小、白黒反転などの処理を行なうかを処理回路19に知らせ(前記命令の信号は図示せず)、ページメモリ17に格納されているデータを、前記命令の処理をさせて、フィールドメモリ20に格納させる。前記処理を完了し、フィールドメモリ20に格納された画像データは、I/Oインターフェイス16を介して、本体装置12に返送される。たとえば、第12図に示す画像データ24の“A”、“B”、“C”の部分を取り出し、“A”を回転、“B”を拡大、“C”を白黒反転処理する場合に、先ず、本体装置12の主記憶14に格納されている画像データがチャンネル15、I/Oインターフェイス16を介して、ページメモリ17に格納される。次に画像データ

(9)

体装置12のチャンネル15と接続されるI/Oインターフェイス16は、ページ画像メモリ17、フィールド画像メモリ20に接続されている。前記ページ画像メモリ、フィールド画像メモリは、第11図に示す様に構成されている。メモリ21はアドレスバスに接続されているアドレスデコーダ22によって選択され、リードの時は、バッファレジスタ23に出力し、ライトの時は前記バッファレジスタ23の内容を取り込む。尚、バッファレジスタ23は、データバスに接続されており、データの送受はすべて前記バッファレジスタを介して行なわれる。また、ページ画像メモリ17、切り出し装置18、処理回路19、ページ画像メモリ20は、直列に各々、接続されている。前記画像処理装置も、本体装置と同様に、前記接続はすべてバスライン(アドレスバス、データバス、コントロールバス等)によって接続される。

本体装置12のCPU13で画像データの処理を必要とした時、主記憶装置14内の画像データと処理命令は、チャンネル15を介して、画像処理装

(8)

置24の“A”が切り出し装置18によって切り出され、さらに回転処理を行なって、フィールド画像メモリ20に格納される。前記回転処理されフィールド画像メモリに格納された切り出し回転画像データは、I/Oインターフェイス16、チャンネル15を介して、本体装置12の主記憶装置14に転送される。次に画像データ24の“B”が切り出し装置18によって切り出され、処理装置19によって、拡大された後、フィールドメモリ20に格納される。前記回転処理されフィールド画像メモリに格納された切り出し拡大画像データは、I/Oインターフェイス16、チャンネル15を介して、本体装置12の主記憶14に転送される。同様にして切り出され、白黒反転し、フィールドメモリ20に格納されたデータは、I/Oインターフェイス、チャンネル15を介して、本体装置12の主記憶装置14に転送される。

以上の説明よりわかるように、本発明の画像処理装置は、同一の画像データの複数の処理を行なうとき、画像データを画像処理装置11に1回転

(10)

送するだけでよく、高速のデータ処理が可能となる。前記、切り出し装置18の切り出し処理、処理回路19の回転、拡大、縮小、白黒反転の各処理は、以下に示す回路によって行なわれる。切り出し処理は、第13図によって行なわれる。レジスタA, B, C, D, Fは、本体からI/Oインターフェイスを介して、切り出す範囲が格納される。レジスタA, B, Cの出力A0, B0, C0は加算器26の入力27, 28に各々入力され、加算器26は、 $A + C$, $B + C$, $A + 1$, $B + 1$ を行ない出力する。また、レジスタAの一方の出力A'0は、アドレス順に出力される。加算器の出力29は、レジスタA, Bの入力A1, B1に接続される。レジスタD, Fの出力D0, F0は、ディクリメントカウンタE, Gの入力E1, G1に接続される。ディクリメントカウンタE, Gの出力E0, G0は、ゼロチェック30, 31の入力32, 33に接続され、ゼロチェックの30, 31の出力34, 35は、Xゼロ信号、Yゼロ信号として出力される。ここで $X_1 \sim X_8$, $Y_1 \sim$

(11)

Y_8 を第14図の様に、 X_1 は画像データ24の横軸バイト長、 Y_1 は画像データ24の縦軸のビット長、 X_2, Y_2 は、切り出し画像データの各横軸バイト長、縦軸ビット長、 X_3, Y_3 は切り出し画面の左上端の位置を示すとする。と先ず、レジスタA並びにBに、 $X_1 \cdot Y_1 + X_2$ が、レジスタCには X_1 が、レジスタDには X_3 が、レジスタFには、 Y_3 がデータバスから格納される。次にレジスタDの内容すなわち X_3 、レジスタFの内容すなわち Y_3 をそれぞれデクリメントカウンタE, Gに格納する。この時、レジスタD, Fには X_2, Y_2 が残されているとする。ここでレジスタAで指定されているメモリの内容を読み、処理回路に出力するとともに、レジスタAの内容すなわち初期値 $X_1 \cdot Y_1 + X_2$ をプラス1し、ディクリメントカウンタの内容すなわち X_3 をマイナス1する。この動作をディクリメントカウンタBが零となって、Xゼロ信号が出力されるまでくり返す。第14図の場合には、横軸バイト長が5バイトであるので5回くり返す。Xゼロ信号により、レジ

(12)

スタBの内容とCの内容を加算、すなわち $B + C$ を行ない、レジスタA, Bに格納するとともに、レジスタDの内容がディクリメントカウンタEに格納され、また、ディクリメントカウンタGの内容がマイナス1される。上記動作を順次くり返し、Xゼロ信号とYゼロ信号が、同時に出力された時切り出しが終了する。前記動作は、横方向に切り出しを行なう場合である。縦方向に行なうことも可能であり、その場合には、レジスタAで指定されたメモリの内容を処理回路に出力するとともに $A + C$ をレジスタAに順次格納し、Yゼロチェックが出力されるたびにレジスタBの内容をプラス1し、Xゼロチェックの信号と、Yゼロチェックの信号が出力されるまでくり返す。画像の回転は、画像を8ビット×8ビットのセグメントに分割し、さらに前記セグメントを回転し、次回転されたセグメントを画像の回転結果決まる新たなセグメントの位置のメモリに格納する。例えば、第15図に示すようにメモリM1のセグメントA8(8ビット×8ビット)を取り出し、右270°回転させ

(13)

て、メモリM2のA8'の位置に格納する。上記のような動作は、第16図に示す回転回路によって行なうことができる。回転させるセグメントデータを入力R1より、アドレス順にシフトレジスタS1~S8に格納し、右シフトあるいは左シフト信号によって、270°, 90°右回転したデータを出力ポートRPR, RPLより得ることができる。

拡大を行なう場合には、画像データを例えば5/4に拡大するには、横方向に4ドットごと、1回、1ドット前のデータを挿入し、縦方向にも同様に4ラインごと、1ライン前のデータを挿入する。縮小する場合には、画像データを例えば3/4に縮小するには、横方向には4ドットごとに1ドット削除を行ない、縦方向にも同様に4ラインごとに1ライン削除を行なう。第17図斜線領域36は、5/4に拡大する時の再出力領域あるいは、3/4に縮小する時の削除領域である。第18図は、横方向のドットの挿入、削除を行なう回路である。拡大縮小制御部37からシフトクロック制御信号38, 39が出力され、シフトレジスタ

(14)

40, 41のクロック信号入力端子に入力される。シフトレジスタ40の最上位ビット出力42は、シフトレジスタ41の最下位ビット入力43に接続される。シフトレジスタ40は、パラレルイン／シリアルアウトのシフトレジスタで画像データの内容が入力44より入ってセットされる。シフトレジスタ40は、左に1ビットずつ、シフトクロック制御信号38によってシフトする。シフトレジスタ41は、シリアルイン／パラレルアウトのシフトレジスタで左に1ビットずつシフトのシフトクロック制御信号39によってシフトする。拡大縮小制御部37は、内部に、拡大、縮小を指定する拡大縮小プラグ46と何ビット毎に挿入あるいは削除を行なうかのデータを格納するレジスタ47よりなる。

拡大の場合には、シフトレジスタ41へシフトクロック制御信号線38よりシフトクロック信号が連続的に出力され、シフトレジスタ40へはシフトクロック制御信号線38よりシフトクロックの信号がレジスタ47にセットした値に相当

(15)

ことによって簡単に行なわれる。

白黒反転処理は読取ったデータを0を1、1を0にすることにより行なわれる。第18図に示すようにインバータ48の入力49に処理を必要としているデータを入力することにより、インバータ48の出力50に0が1、1が0となったデータが出力される。

以上説明したように本発明は従来の問題点である処理スピードを速めたばかりでなく、切り出し回転（切り出した画像データを回転する）等複数の処理がほぼ同時にできる特徴を有している。

尚、第10図の実施例では、ページ画像メモリ17、切り出し装置18、処理回路19、フィールドメモリ20の順にデータを移動させて処理しているが、前記順序の逆も可能にすることによりさらに複雑な画像処理も可能である。

4. 図面の簡単な説明

第1図は画像データに変換するため、メッシュ2によって画像を細分化した図、第2図は第1図の画像を画像データに変換した図、第3図(A)は横

(17)

するシフトクロック数出力されるたびに1クロック分シフトクロック信号が止められる。前記1クロック分のシフトクロック信号が止められることにより、止められた時のシフトレジスタ40の出力42のデータは2回分シフトレジスタ41に取り込まれ、拡大処理が行なわれる。

縮小の場合には前記拡大の場合と逆になり、シフトレジスタ40へシフトクロック制御信号線38よりシフトクロック信号が連続的に出力され、シフトレジスタ41へはシフトクロックの制御信号線39よりシフトクロック信号がレジスタ47にセットした値に相当するシフトクロック数出力されるたびに1クロック分シフトクロック信号が止められる。前記1クロック分のシフトクロックの信号が止められることにより、止められた時のシフトレジスタ40の出力42はシフトレジスタ41に取り込まれずに消失し、縮小処理が行なわれる。縦方向に対する拡大、縮小は画像メモリのアクセス時に読出し画像データの格納されているアドレスを1ライン分連続読出したり、読とばす

(18)

一列が40ビットで構成される画像データを表わす図、第3図(B)は第3図(A)画像データをメモリに格納した図、第4図は画像データ5の一部6を切り出す図、第5図は文字“A”の左270°回転を示す図、第6図は文字“A”の拡大を示す図、第7図は文字“A”の縮小を示す図、第8図は文字“A”の白黒反転を示す図、第9図(A)は文字“A”～“I”を表わす画像データを示す図、第9図(B)は第9図(A)の文字“A”～“I”を左270°回転した画像データを示す図、第10図は本発明の一実施例を示す図、第11図は第10図のページ画像メモリ17、フィールド画像メモリ20の構成を示す図、第12図は本発明の処理動作例（切り出し、回転、白黒反転）を示す図、第13図は切り出し回路を示す図、第14図は第13図の切り出し回路の切り出し部分を指定する図、第15図はセグメント単位に画像を回転処理することを示す図、第16図は回転回路を示す図、第17図は拡大、縮小を行なう時にドットの挿入あるいは削除を行なう領域36を示す図、図18図はドット

(18)

の挿入あるいは削除を行なう回路を示す図、第19図は白黒反転回路を示す図である。

11…画像処理装置、12…本体装置、13…CPU、14…主記憶装置、15…チャンネル、16…インターフェイス、17…ページ画像メモリ、18…切り出し装置、19…処理回路、20…フィールド画像メモリ。

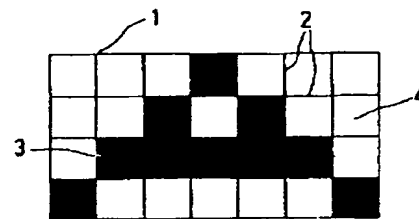
図 1

0	0	0	1	0	0	0
0	0	1	0	1	0	0
0	1	1	1	1	1	0
0	0	0	0	0	0	1

特許出願人 富士通株式会社

代理人 弁理士 松岡安四郎

図 2



(19)

図 3 (A)

40ビット				
B ₁	B ₂	B ₃	B ₄	B ₅
B ₆	B ₇	B ₈	B ₉	B ₁₀
B ₁₁	---	---	---	---
B _{n-4}	B _{n-3}	---	---	B _{n-5}
		B _{n-2}	B _{n-1}	B _n

図 3 (B)

A ₁	
A ₂	
A ₃	
A ₄	
A ₅	
A ₆	
A ₇	
A ₈	
A ₉	
A _{n-5}	
A _{n-4}	
A _{n-3}	
A _{n-2}	
A _{n-1}	
A _n	

図 4

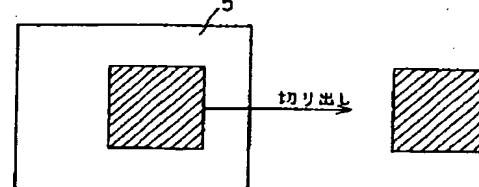


図 5



図 6

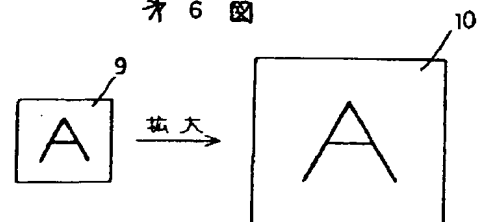


図 7

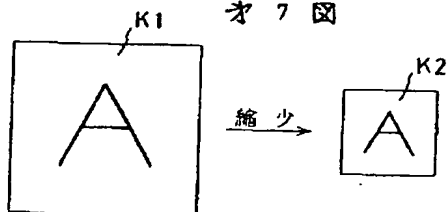


図 8

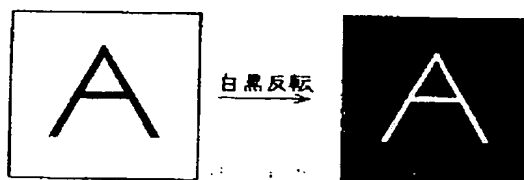


図 9

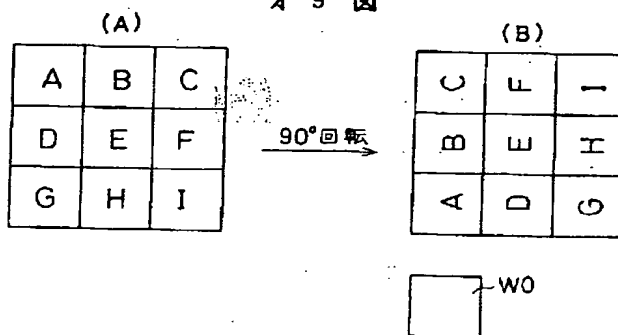


図 10

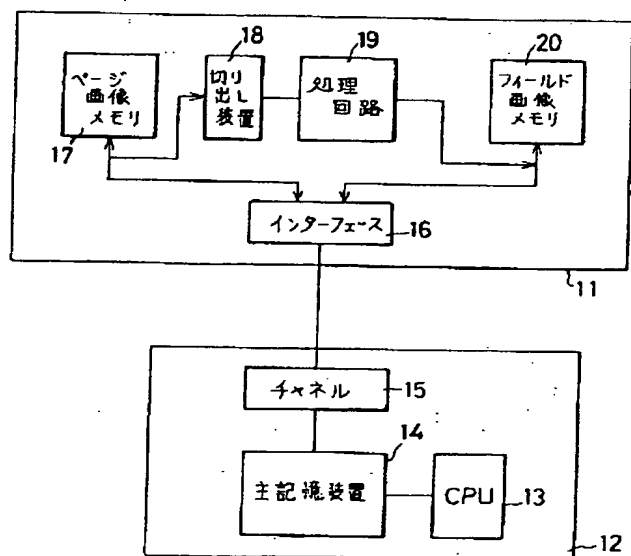


図 11

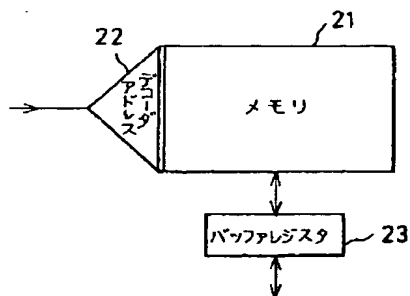


図 12

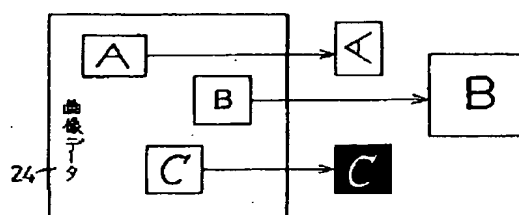


図 13

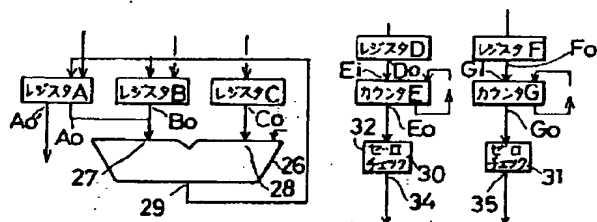


図 14

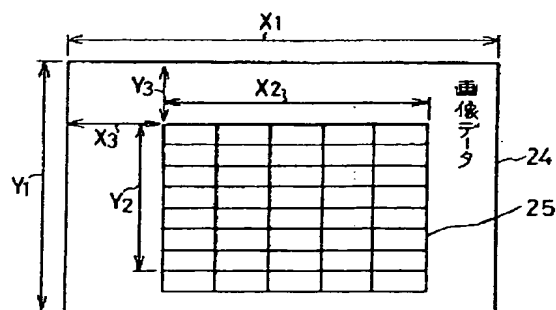


図 15

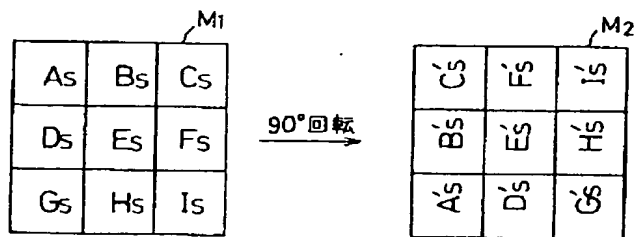


図 16

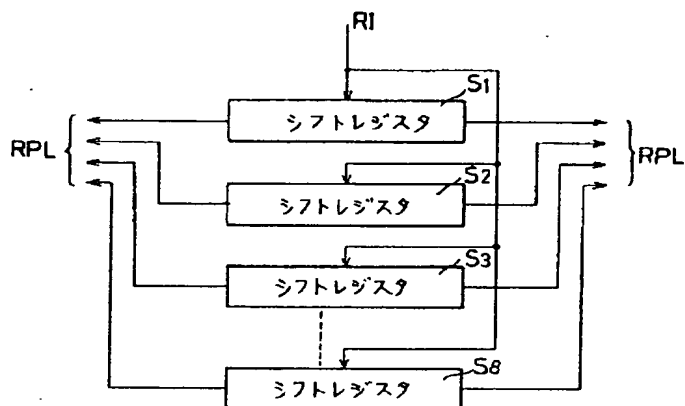


図 17

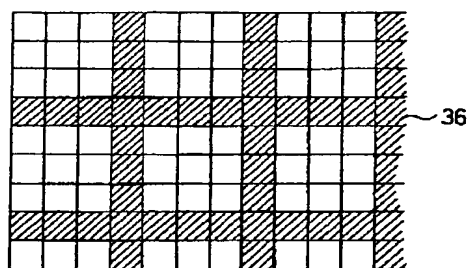


図 18

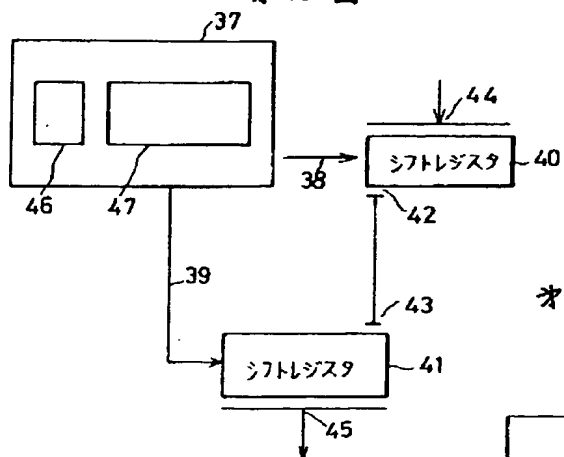
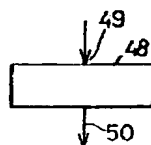


図 19



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.